تحسين اداء الترانزستور نوع (BJT) باستخدام الشبكات العصبية الاصطناعية وتنفيذها على رقاقة (FPGA)

الدكتور حسن فهد خزعل / كلية الهندسة / جامعة واسط

الخلاصة

يتضمن البحث تحسين اداء الترانزستور من خلال تحسين بعض خصائصه وذلك بتوسيع نطاقه الترددي وزيادة مديات الحدود الدنيا والعليا لقيمة فولتية الاشارات المدخلة وتقليل تأثره بدرجات الحرارة، باستعمال الشبكات العصبية الاصطناعية نوع التغذية الامامية والانتشار العكسي للخطأ. ان هذا التحسين تم على الترانزستور من نوع (BJT)(Bipolar Junction Transistors) من نوع npn ذو الرقم (2N2222A/ZTX). تم تنفيذ البحث على ثلاث مراحل، المرحلة الاولى هي عمل محاكاة للترانزستور باستعمال برنامج (Orcad Pspice) ، اما المرحلة الثانية فكانت استعمال البيانات المستحصلة من المرحلة الاولى كمدخلات للشبكات العصبية الاصطناعية باستعمال برنامج (MATLAB R2013b) واما المرحلة الثالثة فكانت استعمال برنامج (ISE, Project navigator (P.14.2)) لغرض تطبيق بيانات الشبكات العصبية الاصطناعية الناتجة عن المرحلة الثانية على رقاقة (FPGA) (Field Programmable Gate Array) .

Modification of BJT using Artificial Neural Network and implemented it on FPGA

Dr. Hassan Fahad Khazal

Abstract

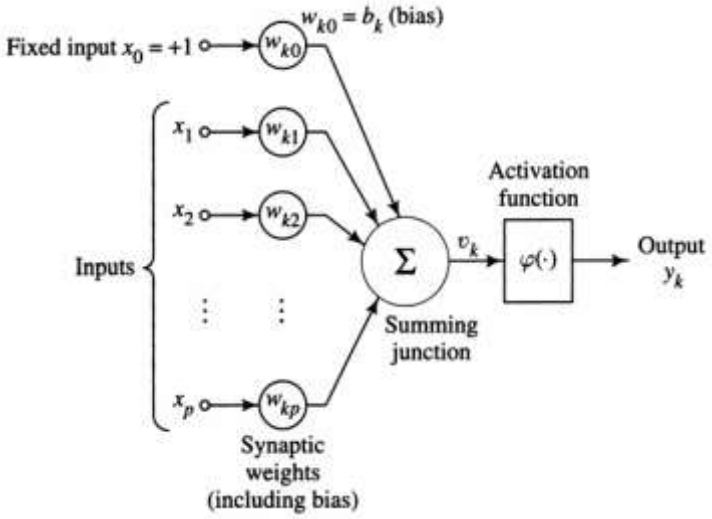
In this research the performance of the BJT has been improved using the "Feed Forward – Back Propagation Artificial Neural Network" (FFBPANN). The use of this type of networks led to improve the pre specified functions, by widening its bandwidth, improving its sensitivity to the minimum and maximum values of input signals, and reduce the effect of the rise of the temperature on its performance. The improvement done on the type "npn" of the code "2N2222A /ZTX". The execution of this work passed through three stages using various types of computer's programs. The first step have been done using the "Orcad Pspice" program, the second stage; the collected data from the first stage have been introduced as the input data of the "FFBPANN" that represented using "MATLAB R2013b" and the third stage have been done using the (ISE, Project navigator (P.14.2)) in order to apply the results of second stage on the "Field Programmable Gate Array" chip (FPGA).

1- المقدمة و مراجعة المصادر

يعتبر ترانزستور ثنائي الوصلة (BJT) من العناصر الالكترونية المهمة وذلك لأنه يدخل في تركيب العديد من الدوائر الالكترونية كمكبر للإشارات او مرشحا لها او كمفتاح الكتروني. في حالة استعمال هذا النوع من الترانزستور كمكبر للإشارات؛ يتأثر اداءه من ناحيتي عرض النطاق الترددي والحدود الدنيا والعليا لقيمة فولتية الاشارات المدخلة والمراد تكبيرها اضافة الى تأثر اداءه بارتفاع درجات الحرارة، ولمعالجة هذه المشاكل تم اللجوء الى استعمال الشبكات العصبية الاصطناعية (Artificial Neural Networks "ANN") لغرض تمثيل الترانزستور. ولكي يكون تمثيل ترانزستور (BJT) الممثل باستخدام الشبكات العصبية الاصطناعية قابلا للتطبيق على أرض الواقع تم استخدام رقائق (FPGA) لغرض تنفيذ التصاميم الخاصة بالشبكات العصبية الاصطناعية. في عام 2005 قام كل من(Hekimhan S. & Menekay S. & Serap N.) بتقديم بحث حول استعمال الشبكات العصبية الاصطناعية لعمل موديل لترانزستور (BJT) حيث تم استخدام نظرية (PKI) [1]. وفي عام 2009 قام كل من (Hafiane M. L. & Dibi z. and Manck O.) باستخدام الشبكات العصبية الاصطناعية لتعويض عدم الخطية في متحسس الطول الموجي (BJT) للمدى المرئي للتطبيقات البصرية حيث ان مقدار الخطا كان اقل من 1.5% على مدى (400-780 nm) [2].وفي عام 2013 قام كل من (Garuku K.N & Pathan M.M.) بعمل بحث لتمثيل ترانزستور (BJT) مستند الى النظام الاستدلالي العصبي المتكيف (ANFIS) [3] .

2- الجانب النظري

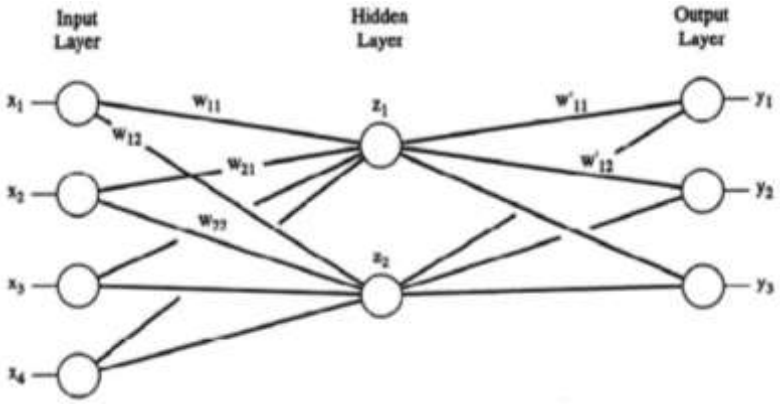
يعد ترانزستور ثنائي الوصلة (BJT) أحد العناصر الالكترونية المهمة التي تدخل في تصنيع الدوائر الالكترونية التي تستعمل في تطبيقات متعددة مثل تصميم الدوائر المنطقية، بناء دوائر الذاكرة وغيرها من التطبيقات، لذا برزت الحاجة إلى دراسة خواصه في التطبيقات المختلفة لغرض تحسين أداءه وتقليل تأثير المعوقات التي تواجه عمله وتؤثر على أداءه في نواح عديدة مثل تأثره بتغير درجات الحرارة و الضوضاء ومحدودية جهد الإدخال ونطاق الترددات (Bandwidth) التي يعمل عندها. عند استعمال ترانزستور (BJT) كمكبر للإشارات الكهربائية فإنه يعمل ضمن حزمة محددة من الترددات وعند تجاوز هذه المنطقة سيتأثر عمله ولا يتم الحصول على التكبير المطلوب بالإضافة الى تأثر سرعة اداءه لعملية التكبير؛ وذلك بسبب تأثير المتسعات الداخلية ($C\mu, C\pi$) للترانزستور، وكذلك يتأثر ترانزستور (BJT) بتغير درجات الحرارة حيث إن تيار التشبع العكسي I_{CBO} (Collector-Base Reverse Current) سوف تتضاعف قيمته لكل ارتفاع في درجة الحرارة بمقدار 10 درجات مئوية، كما فولتية القاعدة - الباعث سوف تقل بمقدار 2 mv لكل ارتفاع بدرجة الحرارة بمقدار درجة مئوية واحدة وبسبب هذه العوامل تم اللجوء الى استخدام الشبكات العصبية في تمثيل ترانزستور نوع (BJT) لأجل معالجة او تقليل تأثير هذه العوامل على عمل الترانزستور فضلا عن أن الشبكات العصبية تمتاز بخصائص تساعد على تحسين أداء الترانزستور ومنها عدم تأثرها بالضوضاء (Noise) وسرعتها العالية نسبيا في معالجة البيانات (المعالجة المتوازية) مما يتيح للمصمم مرونة عالية في تمثيل الترانزستور بجميع دوائر الانحياز في مداخله ومخارجه [4]. الشبكات العصبية الاصطناعية هي عبارة عن موديل يحاكي الخلايا العصبية في جسم الانسان، وقد استعملت لحل بعض المشكلات التي تواجه عمل بعض الدوائر الالكترونية المصنعة من المواد شبه الموصلة. إن الوحدة الأساسية للشبكة العصبية الاصطناعية هي الخلية العصبية (Neurons) [5]، كما موضح في الشكل رقم (1).



شكل(1) مكونات الخلية العصبية الاصطناعية [6]

ان الشبكة العصبية المستخدمة في هذا البحث هي الشبكة العصبية الاصطناعية نوع التغذية الامامية والانتشار العكسي للخطأ وتتكون من ثلاث طبقات:

1. طبقة الادخال (Input layer): يتم ادخال البيانات الى طبقة الادخال والتي سوف تضرب بالأوزان وتجمع عن طريق دالة الجمع.
2. الطبقة المخفية (Hidden layer) :تتم عملية المعالجة في هذه الطبقة حيث تمر البيانات عبر دالة التفعيل (tansig)، دالة التفعيل (Tan-sigmoid function) تستخدم في الشبكات المتعددة الطبقات والتي تستخدم خوارزمية التدريب نوع (Feed Forward Back Propagation)، إذ إنها توفر ميزتين مهمتين جدا ،الأولى هي تفادي قيمة الاخراج العالية لبيانات الادخال التي تكون بين السالب ما لانهاية والموجب ما لانهاية ، إذ إن الإخراج سيكون محصوراً بين (1,1-)، والميزة الثانية هي أنها توفر خواصاً غير خطية مهمة جدا للشبكات العصبية الاصطناعية، ومن ثم تمر الى طبقة الاخراج .
3. طبقة الاخراج (output layer) :في طبقة الاخراج سوف تتم مقارنة اخراج الشبكة مع الاخراج الحقيقي فاذا كان هنالك اختلاف ترجع القيم الى الطبقة التي قبلها وتعدل الاوزان مرة اخرى الى ان نحصل الى اخراج يطابق الاخراج الحقيقي وبنسبة خطا قليلة جدا وكما في الشكل رقم (2).

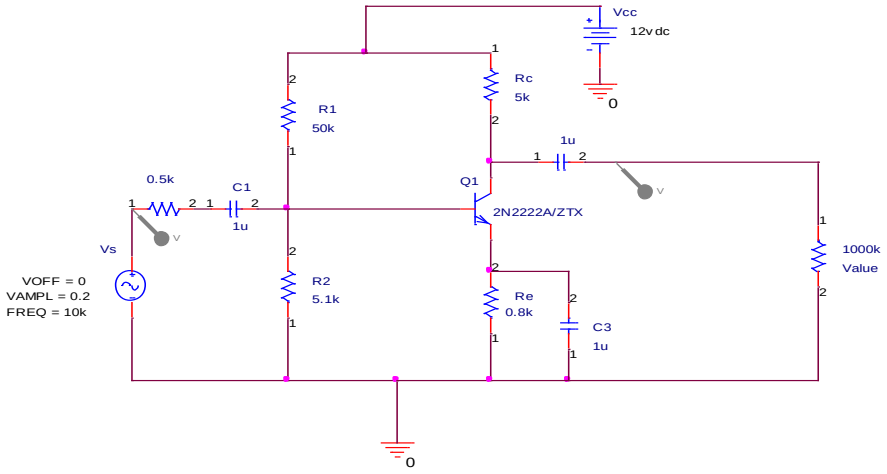


شكل(2) الشبكة العصبية ذات التغذية الامامية وتغذية الخطأ العكسي [7]

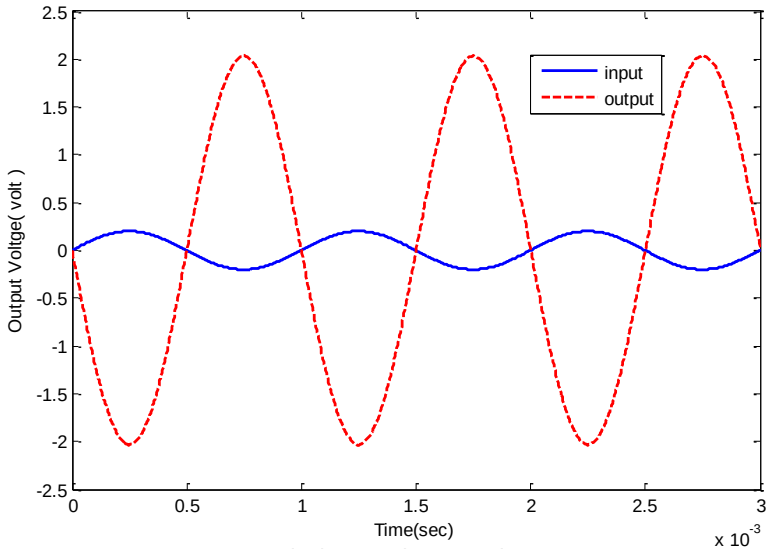
3- الجانب العملي

1.3 المرحلة الاولى :- فحص الترانزستور الحقيقي قبل استخدام الشبكة العصبية

تم استعمال برنامج (orcadpspice) [8] لربط دائرة مكبر (BJT) نوع من نوع npn ذو الرقم (2N2222A/ZTX) لغرض الحصول على إشارة الإخراج وذلك باختيار إشارة إدخال محددة بقيم وتردد معينين، إذ ’ربط الترانزستور كما مبين في الشكل رقم (3)، وهنا اختيرت قيم المقاومات R1= 50KΩ و R2=5.1KΩ ، وكانت قيمة المقاومات المربوطة مع الجامع هي Rc=5 KΩ واما قيمة مقاومة الباعث Re=0.8 KΩ وقيمة مصدر الجهد المستمر Vcc=12Vبحيث يعمل المكبر في المنطقة الخطية وتكون نقطة التشغيل للمكبر في منتصف خط الحمل اي سوف يتم الحصول على اقصى تكبير ممكن في الاخراج. بتسليط اشارة متناوبة مقدارها (0.4 Vp-p) وبتردد 10kHz على دائرة الادخال، كان كسب الجهد الذي تم الحصول عليه هو (10) كما موضح في الشكل (4).

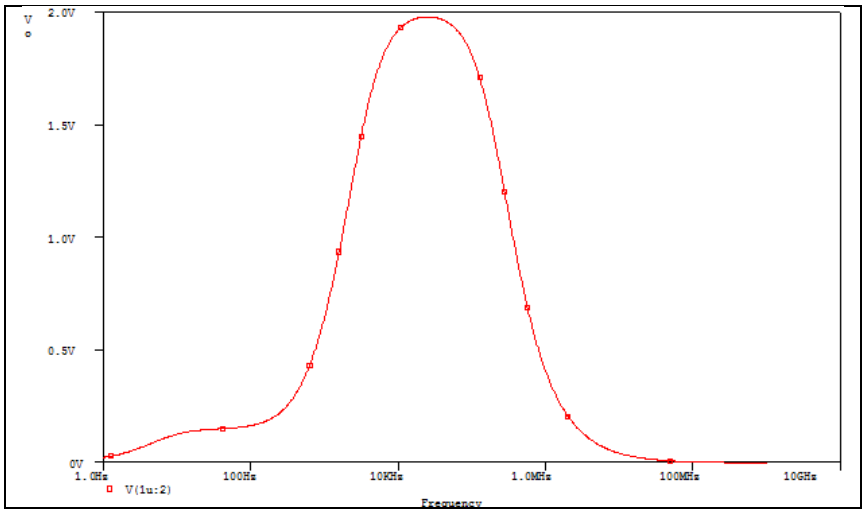


شكل(3) مكونات دائرة مكبر (BJT) نوع (NPN)



الشكل (4) موجات الادخال والاخراج للترانزستور الحقيقي

الشكل رقم (5) يبين استجابة التردد (frequency response) للمكبر حيث تم حسابها وكان مدى الترددات بمدى (3.235 kHz -213.79kHz).

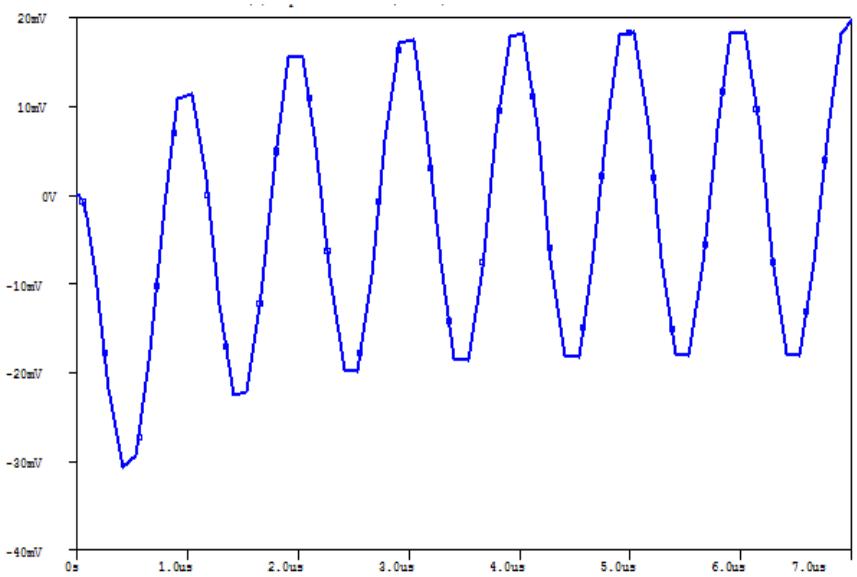


V_o

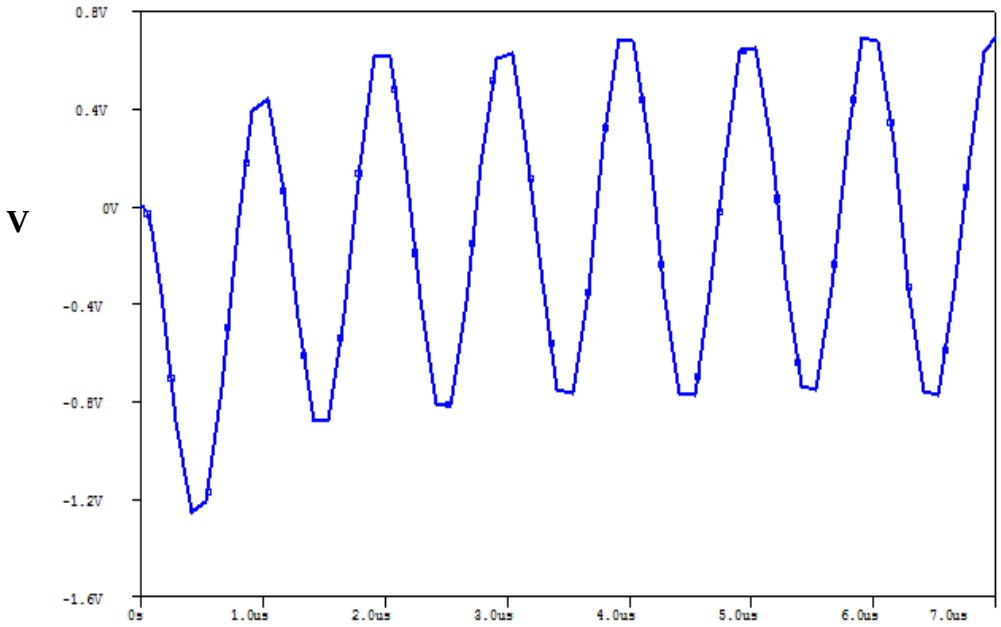
شكل(5) استجابة التردد(frequency response)

المشاكل التي واجهت عمل الترانزستور الحقيقي:-

عند ادخال اشارة الى المكبر بفولتية قليلة جدا مثل (V_{p-p} 0.02) وبتردد مقداره (1MHz) فان الترانزستور لن يتحسس الاشارة المدخلة ولن يستطيع تكبيرها، وكما مبين في الشكل(6-أ) الذي يمثل فولتية الاخراج التي كانت بمقدار (V_{p-p} 30m) كما يمكن ملاحظة التشويه الحاصل لإشارة الاخراج. أما عند تسليط اشارة ادخال بفولتية اكبر من القيمة المصمم عليها المكبر، (V_{p-p} 0.8) مثلا كانت إشارة الإخراج مشوهه ولم تحقق التكبير المطلوب حيث ان فولتية الاخراج كانت بمقدار (V_{p-p} 0.9) وكما موضح في الشكل



(أ)



(ب)

شكل (6) أ- اشارة الاخراج للمكبر الحقيقي عند تسليط اشارة ادخال بقيمة ($0.02\ V_{p-p}$) بتردد (1 MHz)

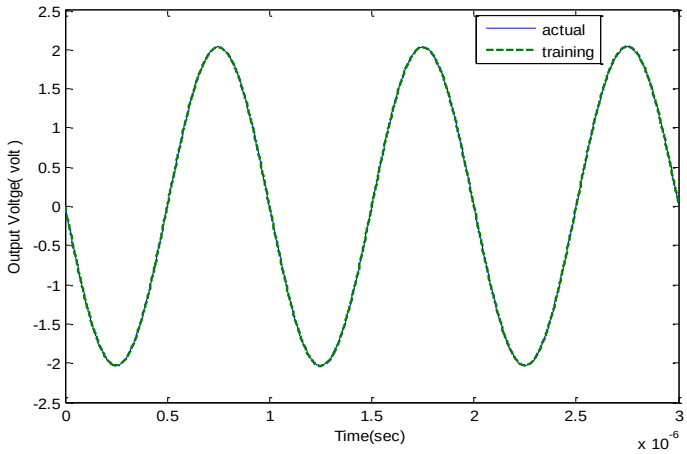
ب- اشارة الاخراج للمكبر الحقيقي عند تسليط اشارة ادخال بقيمة ($0.8\ V_{p-p}$) بتردد (1 MHz)

2.3 المرحلة الثانية:- استخدام الشبكة العصبية لتمثيل الترانزستور

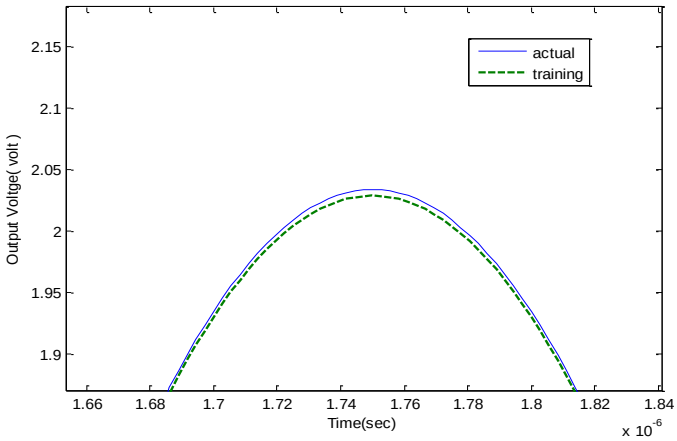
تم استخدم برنامج (Matlab 2013b) لتمثيل الشبكة العصبية التي لتمثيل تم استعمالها الترانزستور (BJT) و تم تدريب الشبكة العصبية لغرض الحصول على أنموذج مطور للترانزستور الحقيقي حيث استخدمت دالة التدريب ('traingdm')، دالة تقييم الاداء فهي ('MSE')، دالة الهدف هي (goal=1e-8) وعدد (epochs=10000) وتضم الشبكة ثلاث طبقات

1. طبقة الإدخال (input layer): - وتمثل الطبقة الاولى في الشبكة العصبية التي تتضمن إدخالين الاول قيمة فولتية الادخال و الثاني هو التردد بصيغة الزمن.
2. الطبقة المخفية (hidden layer): -عدد الخلايا العصبية بالطبقة المخفية هي (3) خلايا عصبية، أما دالة التنشيط المستخدمة في (Tan-sigmoid function).
3. وطبقة الإخراج (output layer): -عدد الخلايا العصبية بطبقة الاخراج هي خلية عصبية واحدة ودالة التنشيط المستخدمة هي الدالة الخطية (Linear function).

وقد تم إدخال إشارة جيبيه بقيمة ($0.4\ V_{p-p}$) عند تردد (1MHz) وتم اعتماد هذه القيم لتدريب الشبكة العصبية المستخدمة في هذا البحث حيث تم الحصول على أحسن أداء للشبكة العصبية عند (epoch= 5080) ومعدل مربع الخطأ كان (1.3504e-7) ، وكما مبين في الشكل (7- أ) الذي يبين اشكال موجات الاخراج لكل من الشبكة العصبية واخراج الترانزستور الحقيقي أما الشكل (7- ب) فيبين اشارات موجات الاخراج بعد تكبير الشكل لملاحظة الخطأ.



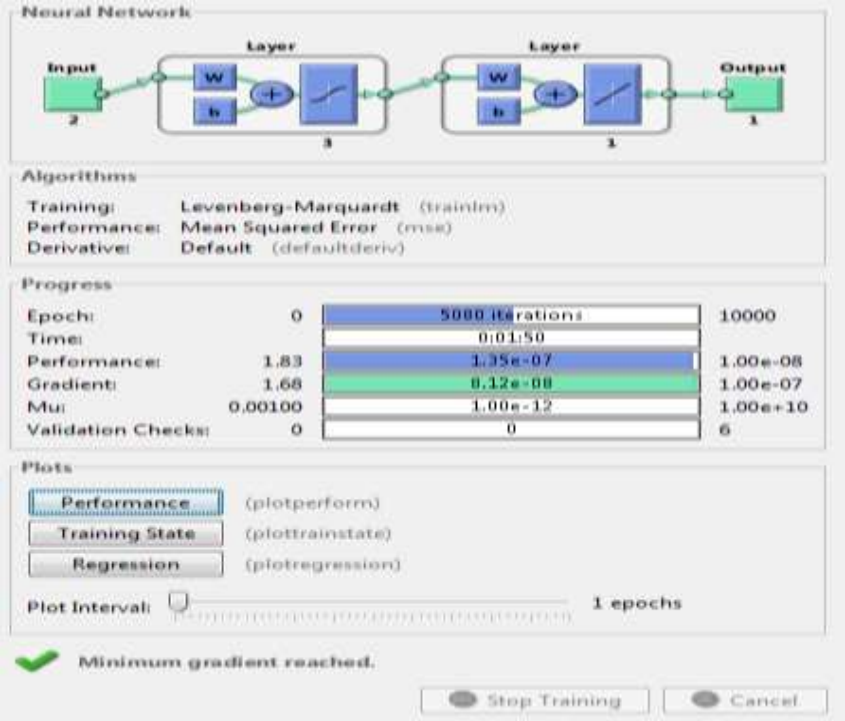
(أ)



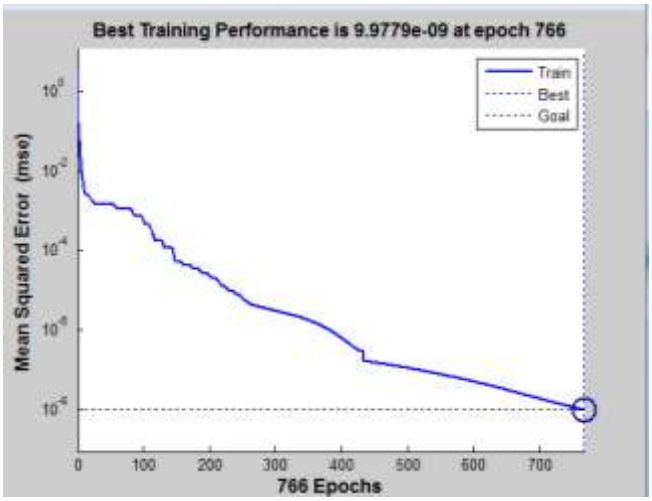
(ب)

شكل (7): أ- اشارة اخراج المكبر الحقيقي (Real signal) مقارنة مع اشارة الاخراج الممثلة رياضيا (Simulated signal) من الشبكات العصبية ب-يوضح اشكال موجات الاخراج للمكبر الحقيقي واخراج الشبكة العصبية بعد تكبير الشكل.

الشكل (8- أ) فانه يمثل البنية المعمارية للشبكة العصبية التي تحاكي الترانزستور المطور وكذلك احسن اداء للشبكة العصبية التي تحاكي هذا الترانزستور ممثل في اما الشكل (8- ب)



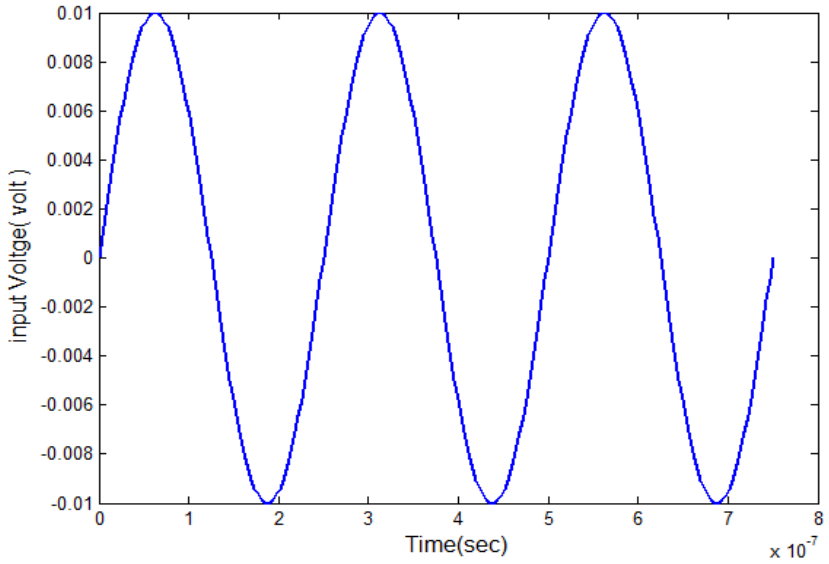
أ–البنية المعمارية للشبكة العصبية المدربة



ب–افضل اداء للشبكة العصبية المدربة

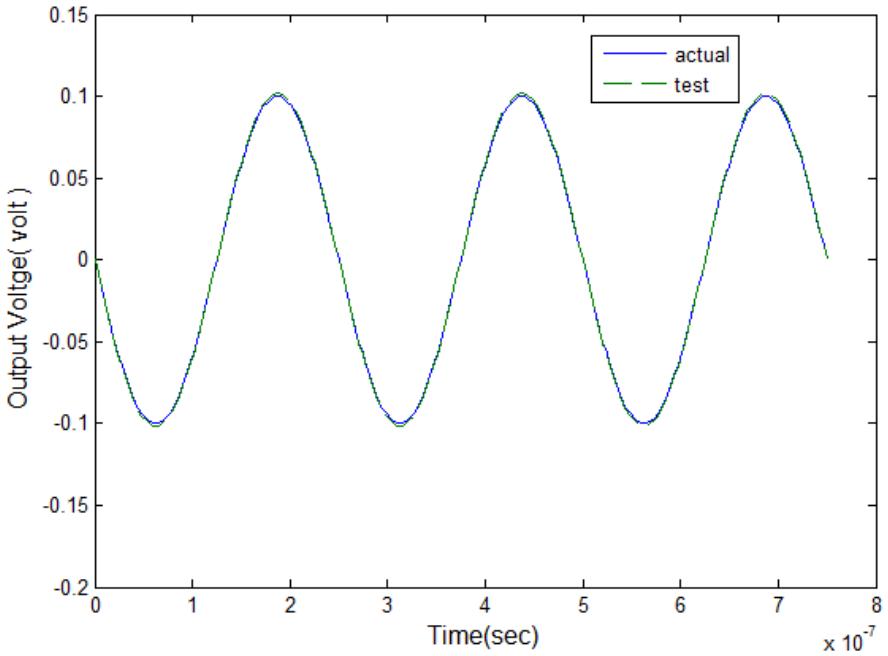
شكل (8) أ– البنية المعمارية للشبكة العصبية المدربة، ب– احسن اداء للشبكة العصبية المدربة

لأجل التأكد من صلاحية الشبكة تم تسليط اشارة ادخال بمقدار($0.02\ V_{P-P}$) وبتردد (4 MHz) اي تردد اعلى من التردد الذي يعمل عنده المكبر كما في الشكل (9) وهي نفس الاشارة التي لم يتحسسها الترانزستور الحقيقي.

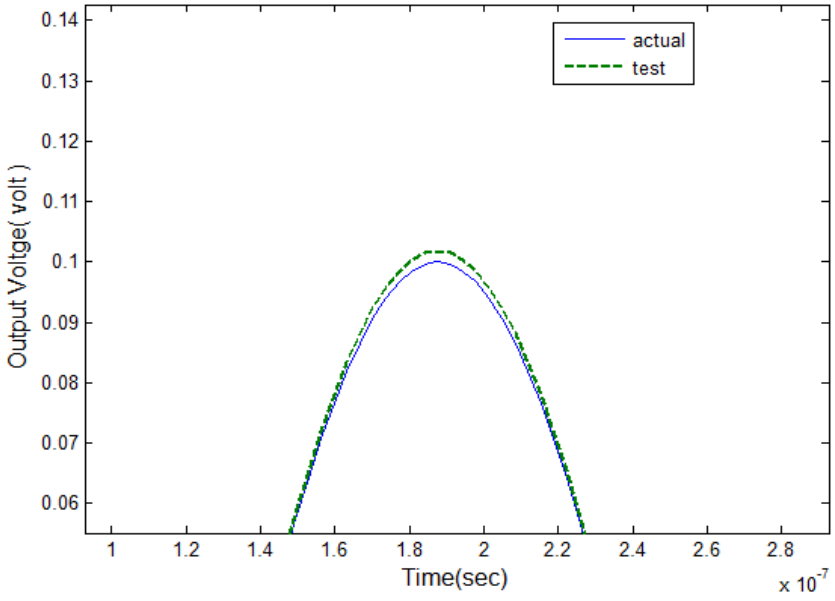


شكل (9) اشارة ادخال بقيمة (V_{P-P} 0.02) وتردد (4 MHz)

أمـا أشـكال موجـات الاخـراج لكـل مـن الشـبكة العصـبية (اشـارة الفحـص) وللمكبـر الحقيقـي فكانـت كمـا فـي الشـكل رقـم (10- أ) اذ كـان مقـدار الخطـأ (1.4696e-6). تـم تكبيـر شـكل إشـارات الإخـراج لكـل مـن المكبـر الحقيقـي (Real signal) والإشـارة الممثلـة رياضـيا (Simulated signal) مـن الشـبكة العصـبية لملاحظـة مقـدار الخطـأ كمـا مبـين فـي الشـكل رقـم (10-ب).



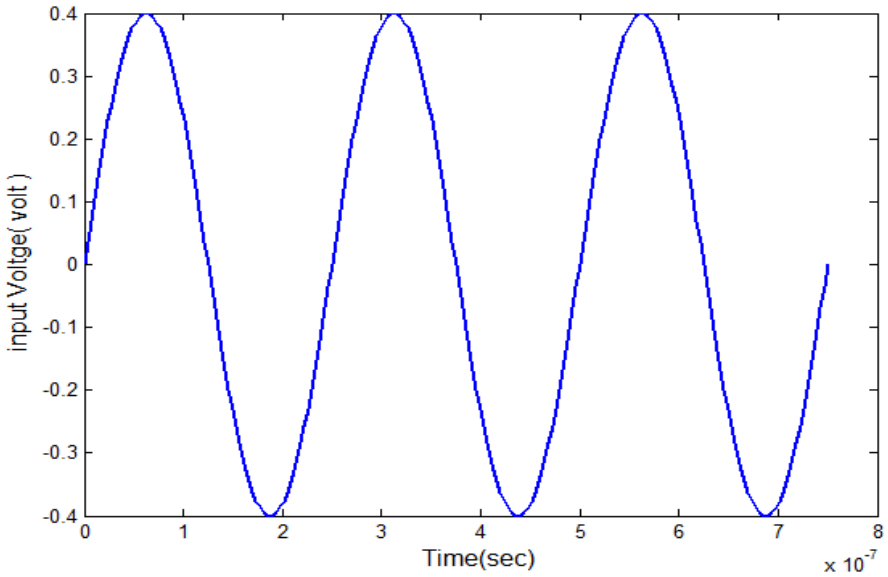
(أ)



(ب)

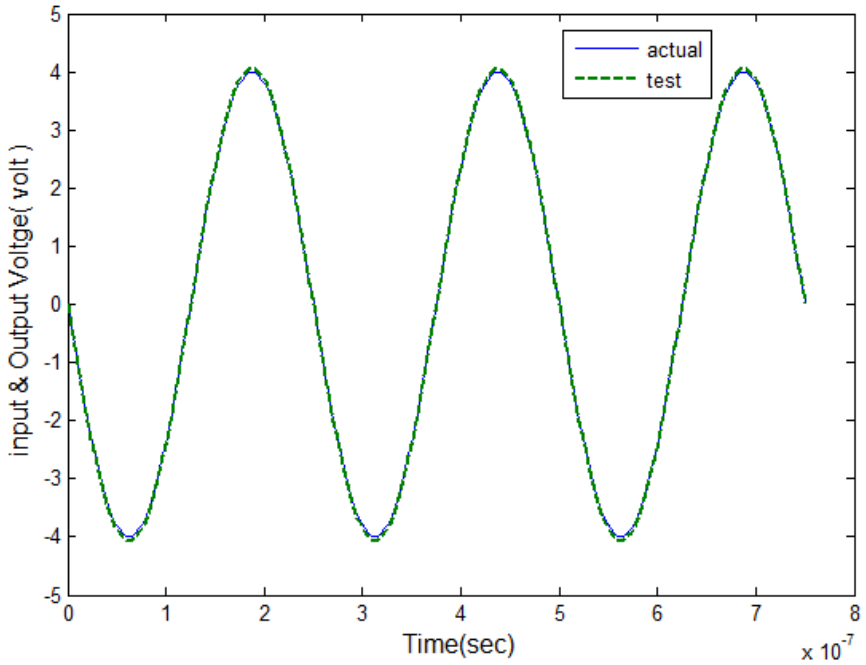
شكل (10) أ- اشارة اخراج الدائرة الحقيقية(Real signal) مقارنة مع اشارة الاخراج الممثلة رياضيا (Simulated signal) من الشبكات العصبية ب-اشارات الاخراج لكل من المكبر الحقيقي (Real signal) والاشارة الممثلة رياضيا (Simulated signal) من الشبكات العصبية بعد تكبير الشكل.

وتم تسليط موجة جيبيه مقدارها (0.8 Vp-p) أي قيمة عالية بالنسبة للإدخال وبتردد مقداره (4 MHz) وكما موضح بالشكل رقم (11).

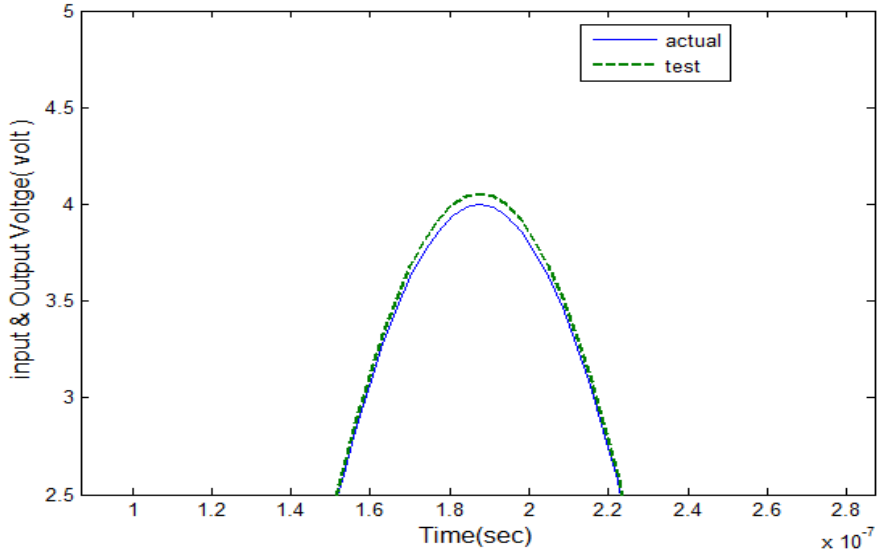


شكل (11) اشارة فحص جيبيه بتردد(4MHz) وبقيمة ($0.8\ V_{P-P}$)

أما أشكال موجات الإخراج لكل من الشبكة العصبية (اشارة الفحص) وللمكبر الحقيقي فكانت كما في الشكل رقم (12- أ) اذ كان مقدار الخطأ (0.002). تم تكبير شكل إشارات الإخراج لكل من المكبر الحقيقي (Real signal) والإشارة الممثلة رياضياً (Simulated signal) من الشبكة العصبية لملاحظة مقدار الخطأ كما مبين في الشكل رقم (12- ب)



(أ)



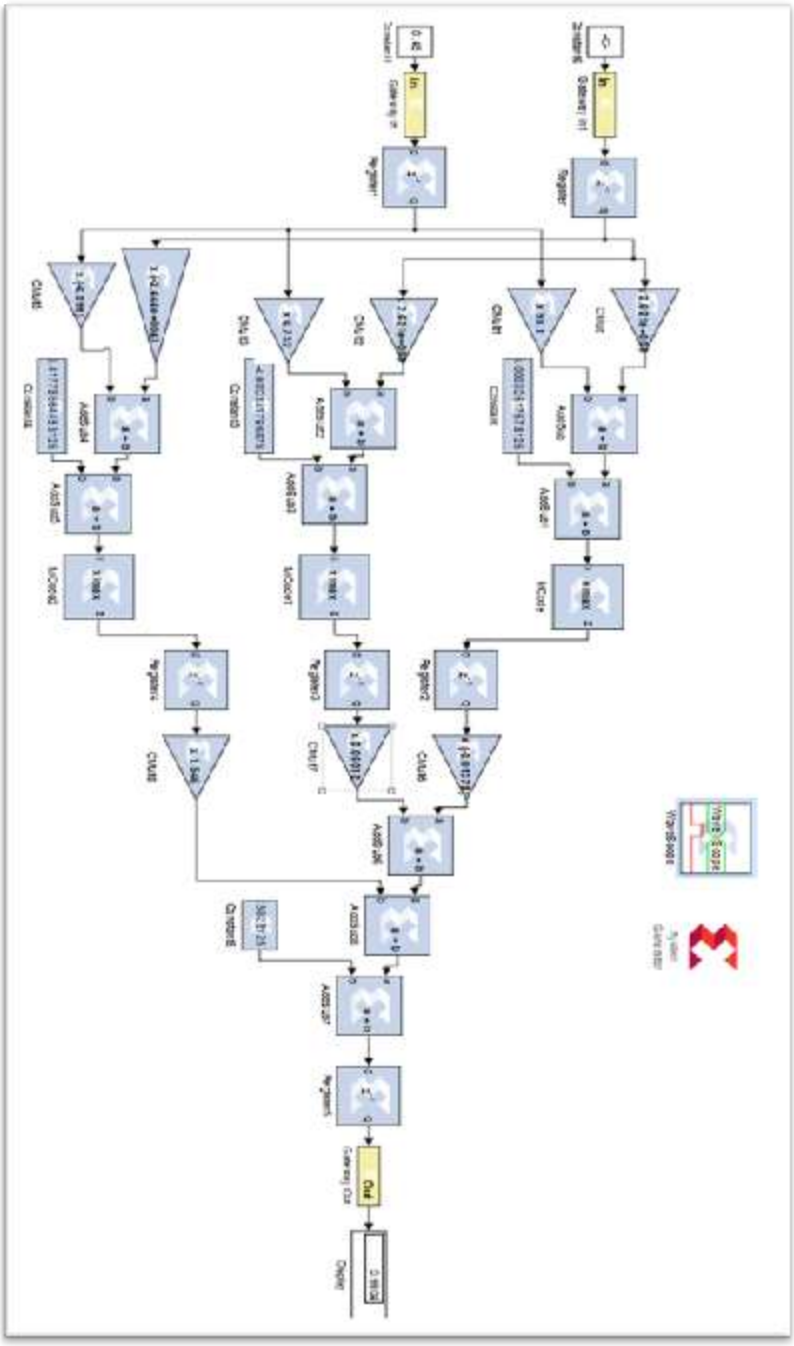
(ب)

شكل (12) أ-اشارة اخراج الدائرة الحقيقية (Real signal) مقارنة مع اشارة الاخراج الممثلة رياضيا (Simulated signal) من الشبكات العصبية، ب-اشارات الاخراج لكل من المكبر الحقيقي (Real signal) والاشارة الممثلة رياضيا (Simulated signal) من الشبكات العصبية بعد تكبير الشكل.

3.3 المرحلة الثالثة :- تنفيذ الشبكة العصبية الاصطناعية على رقاقة (FPGA)

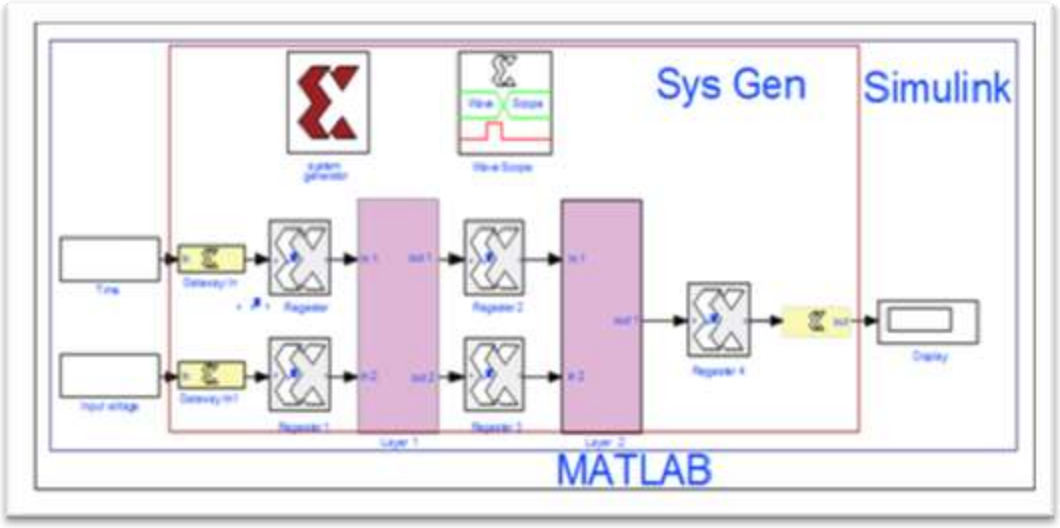
طريقة العمل:

1- تطبيق الشبكة العصبية الاصطناعية باستعمال برنامج (MATLAB R2013b) الذي يحوي بين برمجياته(مكتباته) برنامج (Xilinx system generator)، وهو أحد المكتبات الخاصة بالبرنامج ليظهر الناتج بشكل مخطط كتلي (Block diagram)، والذي اعتمد كأداة لتمثيل بيانات الشبكة العصبية الاصطناعية وتوليدها لغرض محاكاة ترانزستور (BJT). إن التنفيذ الكامل للشبكة العصبية الاصطناعية هو كما مبين في الشكل رقم (13)



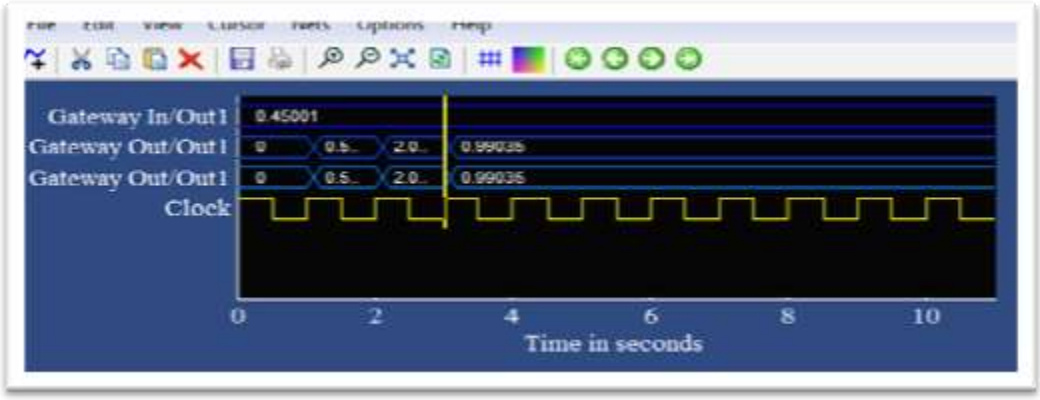
شكل (13) التنفيذ الكامل للشبكة العصبية الاصطناعية باستخدام(sys gen)

اما الشكل (14) فيمثل التصميم الكامل للشبكة العصبية الاصطناعية باستخدام الكتل ل (sys gen)



شكل (14) التصميم الكامل للشبكة العصبية الاصطناعية باستخدام الكتل ل (sys gen)

إن الطبقة الأولى تمثل الإدخالات أما الطبقة المخفية فتتكون من مدخلين وثلاث مخرجات، ودالة التفعيل المستخدمة لكل مخرج (Tan Sigmoid) الذي يبين تركيبها، اما الطبقة الثانية فهي تتكون من ثلاث مدخلات ومخرج واحد حيث إن دالة التفعيل المستخدمة للإخراج هي الدالة الخطية وهذه الطبقة تمثل طبقة الاخراج للشبكة العصبية الاصطناعية بالكامل، وبعد اعطاء قيم المدخلات للنظام وتشغيل المحاكاة فان النتائج سوف تظهر في الاخراج وان الإخراج سيكون بعد (3 نبضات) من نبضات الموقت (clock) وكما مبين في الشكل رقم (15).



شكل (15) إشارات إخراج الشبكة العصبية المنفذة على رقاقة (FPGA)

2- تطبيق بيانات الشبكة العصبية الاصطناعية الناتجة من الخطوة الاولى في برنامج (ISE, Project navigator (P.14.2) والحصول على التمثيل الخاص للبرنامج والمتضمن بيانات وتفاصيل حول رقاقة (FPGA)(Field Programmable Gate Array)، مبينا التراكيب المعمارية لرقاقة (FPGA) المستعملة، مثل المساحة المتوقع استخدامها من الرقاقة، وعدد البوابات التي سيتم استعمالها، والزمن المطلوب للتمثيل الشبكة العصبية الاصطناعية، وأقصى تردد ممكن أن تعمل عليه، وكما مبين في الجدول رقم (1)

نلاحظ بأن التنفيذ الكامل للشبكة العصبية الاصطناعية استغل حوالي نلاحظ بأن التنفيذ الكامل للشبكة العصبية الاصطناعية استغل حوالي (10 %) من مساحة رقاقة (FPGA) المستعملة و(9%) من (LUT) وكذلك (1%) من المراجيح المتوفرة (Flip Flops) كما إن عدد الإدخالات والإخراجات (IOBs) حوالي (13%) أما السطر الاخير من الجدول فيبين لنا بأن أقصى تردد تعمل عليه الشبكة هو(347.826 MHz) عند اقل دورة زمنية (2.875nSec).

جدول (1) الاجهزة المستخدمة لتمثيل الشبكة العصبية للنموذج الثاني لرقاقة (FPGA)

Device Utilization summary			
Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flop	10	29,504	1%
Number of 4 input LUTs	2,718	29,504	9%
Number of occupied slices	1,615	14,752	10%
Number of slices containing only related logic	1,615	1,615	100%
Number of slices containing unrelated logic	0	1,615	0%
Total Number of 4 input LUTs	3,183	29,504	10%
Number used as logic	2,718		
Number used as a route-thru	465		
Number of bounded IOBs	33	250	13%
Number of RAMB 16S	2	36	5%
Number of BUFGMUXs	1	24	4%
Number of MULT 18X18SIOs	24	36	66%
Average Fan out of Non-Clock Nets	2.06		
Timing Summary:			
Speed grade :-5 Minimum period:2.87nsec (Maximum frequency):347.826MHz			

النتائج والمقارنة

من اهم النتائج التي تم التوصل من محاكاة ترانزستور(BJT) نوع (NPN) ذو الرقم (2N2222A/ZTX) مدى الترددات :- من خلال تمثيل الترانزستور باستخدام الشبكات العصبية الاصطناعية ومن خلال تطبيق نموذج الشبكة العصبية على رقاقة (FPGA) فان اقصى تردد ممكن تعمل به كان (347.826MHz) بينما الترانزستور الحقيقي كان اقصى تردد يعمل عنده هو (213.79kHz).

فولتيات الادخال :- اما مدى فولتيات الادخال للنموذج المطور فكان من (V_{P-P} 0.8-0.002) ضمن مدى ترددات عالية اعلى من مدى ترددات (midband) بينما الترانزستور الحقيقي كان يعمل ضمن مدى فولتيات الادخال (V_{P-P} 0.5-0.001) ضمن مدى ترددات (midband).
الزمن :- ان الزمن المستغرق لتنفيذ النموذج باستخدام (FPGA) هو (25 ثانية) اما عند تنفيذ النموذج بشكل برنامج فانه يستغرق حوالي (223.417 ثانية).
السرعة:- ان النموذج المنفذ على رقاقة (FPGA) كان اسرع بمقدار(8.93668) مرة من تنفيذ النموذج بشكل برنامج.
الانتاجية :- يتم حساب الانتاجية بقسمة أقصى قيمة للتردد للنظام ككل على الدورات الزمنية المستهلكة لكل تنفيذ وقيمة الانتاجية بالنسبة للنموذج (115.942Mbps).

الخاتمة:

من خلال النتائج المستحصلة تبين انه من خلال تمثيل الترانزستور باستخدام الشبكات العصبية الاصطناعية فانه امكن زيادة مدى التردد الذي يعمل عليه الترانزستور وكذلك زيادة مدى فولتية الادخال والسرعة وتقليل الزمن المستغرق للمعالجة.

المصادر:

[1] Hekimhan S. & Menekay S. & Serap N.," **Prior Knowledge Input Method In Device Modeling**",Turk J Elec Engin, VOL.13, NO.1, T¨UB_ITAK,(2005).
[2] Hafiane M. L. & Dibi z. and Manck O.," **On the Capability of Artificial Neural Networks to Compensate Nonlinearities in Wavelength Sensing**", Université de Batna, Département d'Electronique, Algeria,(2009).
[3] Garuku K.N & Pathan M.M.," **Adaptive Neuro-Fuzzy Inference System Based BJT Model for Circuit",**International Journal of Engineering Research & Technology (IJERT), Vol. 2 Issue 6, (June – 2013).
[4] Sedra A. S. and smith K. C. , "**Microelectronic circuits(5th edition)** ", Oxford University press,(2004).
[5] Fausett L., **"Fundamentals Of Neural Networks, architectures, algorithms, and applications"**, ISBN 10: 0133341860 / 0-13-334186-0,ISBN 13: 9780133341867.
[6] Merza M.A, "**Modeling and FPGA Implementation of ANN Based Electronic Circuits**", university of Mosul, college of engineering, Mosul, (2012).
[7] Fröhlich J.**, "Neural Net Components in an Object Oriented Class Structure",** Diploma of Fachhochschule Regensburg, Department of Computer Science,(1996).
[8] Keown J.,"**Orcad Pspice Users Guide**", OrCAD,(1998).